



D5

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①2 **Offenlegungsschrift**
①0 **DE 198 40 866 A 1**

①1 Int. Cl. 7:
H 01 L 21/223
H 01 L 21/331

②1 Aktenzeichen: 198 40 866.8
②2 Anmeldetag: 31. 8. 1998
④3 Offenlegungstag: 2. 3. 2000

DE 198 40 866 A 1

- ⑦1 Anmelder:
Institut für Halbleiterphysik Frankfurt (Oder) GmbH,
15230 Frankfurt, DE
- ⑦4 Vertreter:
Heitsch, W., Pat.-Anw., 14778 Jeserig
- ⑦2 Erfinder:
Schmundt, Holger, 15230 Frankfurt, DE; Knoll,
Dieter, Dr., 15230 Frankfurt, DE; Heinemann, Bernd,
Dr., 15234 Frankfurt, DE
- ⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:
DE-OS 21 07 991
GB 12 04 437
DAO KHAC AN, et.al.: Concentration Dependence
of
the Boron Diffusion Coefficient in Silicon. In:
phy. stat. sol. (a) 76, 1983, S.K85 - K88;

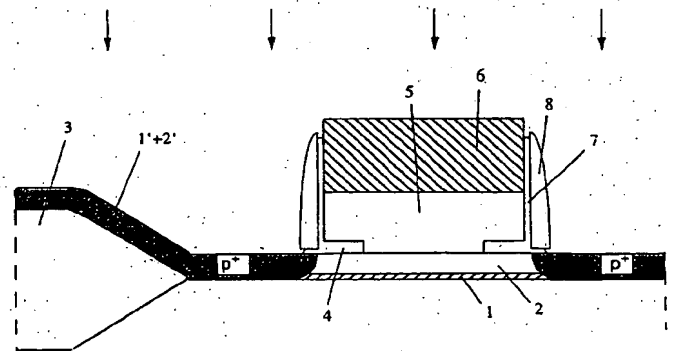
NEGRINI, P., et.al.: Boron Predeposition in
Silicon Using BBr₃. In: J. Electrochem. Soc.:
Solid-State Science And Technology, April 1978,
Vol.125, No.4, S.609-613;
GUO, S.F., CHEN, W.S.: A Model for Boron
Deposition
in Silicon Using a BBr₃ Source. In: J.
Electrochem. Soc.: Solid-State Science And
Technology, July 1982, Vol.129, No.7, S.1592-
S.1596;
PAREKH, Pravin C., GOLDSTEIN, David R.: The
Influence of Reaction Kinetics Between BBr₃
and O₂ on the Uniformity of Base Diffusion.
In: Proceedings Of The IEEE, Vol.57, No.9,
Sep. 1969, S.1507-1512;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

- ⑤4 Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten
Einfach-Polysilizium-npn-Bipolartransistoren

- ⑤7 Die Erfindung bezieht sich auf ein Verfahren zur Dotie-
rung der externen Basisanschlußgebiete von Si-basierten
Einfach-Polysilizium-npn-Bipolartransistoren. Aufgabe
der Erfindung ist es, ein Verfahren zur Dotierung der ex-
ternen Basisanschlußgebiete von Si-basierten Einfach-
Polysilizium-npn-Bipolartransistoren vorzuschlagen, das
über die Anforderungen hinaus, die auch mittels Ionenim-
plantation erfüllt werden können, nämlich hohe Oberflä-
chenkonzentration der Dotieratome mit geringem thermi-
schen Budget, geringe Eindringtiefen und Defektfreiheit,
eine weitestgehende Vermeidung der TED im inneren
Transistorgebiet gewährleistet. Erfindungsgemäß wird
diese Aufgabe gelöst, indem als Eindiffusionsprozeß ein
BBr₃-Vorbelegungsprozeß Anwendung findet. Die Dotie-
rung der Basisanschlußgebiete von npn-Bipolartransi-
storen in Einfach-Polysilizium-Technologie wird somit
nicht mehr durch Ionenimplantation, sondern mittels ei-
nes Diffusionsschrittes durchgeführt.

BBr₃-Vorbelegung



DE 198 40 866 A 1

moxynitrid oder Kombinationen dieser Materialien mit unterliegendem Siliziumoxid verwendet. Diese Hartmaske wird nicht vor Ausführung des BBr_3 -Vorbelegungsprozesses entfernt. Die Seitenwand des Polysilizium-Emitters und der Hartmaske ist während des BBr_3 -Vorbelegungsprozesses durch Spacer abgedeckt. Diese Spacer bestehen aus Siliziumnitrid, Siliziumoxynitrid oder Polysilizium oder Kombinationen dieser Materialien untereinander oder mit unterliegendem Siliziumoxid.

Das erfindungsgemäße Verfahren mit BBr_3 -Vorbelegungsprozeß findet insbesondere für Transistoren Anwendung, deren Basis mittels differentieller Epitaxie hergestellt wird. Die Basis-Schicht kann dabei Germanium oder Germanium mit Beimengungen von Kohlenstoff enthalten.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden im folgenden näher erläutert.

Die Zeichnungen zeigen

Fig. 1a-1c Ausschnitt aus dem Prozeßablauf zur Herstellung von HBT's in Einfach-Polysilizium-Technologie, der den Verfahrensablauf zur Erzeugung der Basisanschlußdotierung mittels BBr_3 -Vorbelegung zeigt.

Beispiel 1

In diesem Ausführungsbeispiel wird die Dotierung der Basisanschlußgebiete eines npn-Si/SiGe-Heterobipolartransistors in Einfach-Polysilizium-Technologie nachfolgend erläutert. Ausgangspunkt des erfindungsgemäßen Verfahrens ist der Zustand nach der ganzflächigen Epitaxie eines Schichtstapels, bestehend aus einer $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 1 und einer Si-Schicht 2, wie in Fig. 1a dargestellt. Dabei ist es unwesentlich, ob vor der Epitaxie einige Flächen mit Isolationsgebiet 3 belegt waren und diese Flächen bei der Epitaxie mit polykristallinem Material 1' + 2' bedeckt werden oder ob die Epitaxieschicht vollständig einen einkristallinen Untergrund besitzt.

Nach Abscheidung einer Oxidschicht 4, dargestellt in Fig. 1b, wird nach einer Lackstrukturierung das Emitterfenster in die Oxidschicht 4 naßchemisch geätzt. Anschließend wird eine amorphe Siliziumschicht 5 abgeschieden und implantiert.

Auf die amorphe Siliziumschicht 5 werden eine oder mehrere Schutzschichten 6 aufgebracht, die mindestens die Funktion der Abdeckung der amorphen Siliziumschicht 5 (des späteren Poly-Emitters) bei der BBr_3 -Vorbelegung übernehmen. Außerdem kann die Schutzschicht 6 so ausgelegt sein, daß sie der noch folgenden Verspacerung der strukturierten amorphen Siliziumschicht 5 dienlich ist.

Nach einem Lackmaskenprozeß wird die Schutzschicht 6 und die amorphe Siliziumschicht 5 in den lackfreien Gebieten mit Ätzstopp auf der Oxidschicht 4 trocken geätzt (Fig. 1b).

Wie in Fig. 1c dargestellt, wird anschließend eine dünne Oxidschicht 7 und das Spacer-Material 8 abgeschieden. Als Spacer-Material findet beispielsweise amorphes Silizium oder Nitrid Anwendung. Es folgt ein Spacer-Prozeß mittels Trockenätzen mit Ätzstopp auf der Oxidschicht 7. Die Oxidschicht 7 und die Oxidschicht 4 werden naßchemisch entfernt.

Anschließend wird der BBr_3 -Vorbelegungsprozeß zur Dotierung der Basisanschlußgebiete durchgeführt (Fig. 1c). Der BBr_3 -Vorbelegungsprozeß erfolgt bei einer Prozeßtem-

peratur von 800°C und mit einer Quellzeit von 25 min. Danach wird das Vorbelegungsoxid naßchemisch entfernt.

Die Transistoren können dann mit den üblichen Methoden der Mikroelektronik (hier: Strukturierung der Basisgebiete, Isolatorabdeckung, Kontaktfenstererzeugung, Metallisierung) komplettiert werden.

Beispiel 2

In diesem Beispiel wird ebenfalls die Herstellung eines npn-Si/SiGe-Heterobipolartransistors in Einfach-Polysilizium-Technologie beschrieben. Gegenüber dem ersten Ausführungsbeispiel findet der BBr_3 -Vorbelegungsprozeß bei einer Temperatur von 750°C und einer Quellzeit von 50 min statt. Das Vorbelegungsoxid wird mit einer Schutzschicht (Low Temperature Oxide, LTO) abgedeckt und anschließend ein RTA bei einer Temperatur von 1000°C für eine Dauer von 30 s unter Stickstoff durchgeführt. Die Schutzschicht und das Vorbelegungsoxid werden dann naßchemisch entfernt. Der weitere Prozeßverlauf erfolgt wie im ersten Ausführungsbeispiel.

In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele ein Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

Patentansprüche

1. Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren, **dadurch gekennzeichnet**, daß ein BBr_3 -Vorbelegungsprozeß Anwendung findet.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der BBr_3 -Vorbelegungsprozeß bei einer Temperatur zwischen 700°C und 900°C durchgeführt wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß für den BBr_3 -Vorbelegungsprozeß Quellzeiten zwischen 5 min und 120 min angewendet werden.
4. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das während des Vorbelegungsprozesses entstandene Vorbelegungsoxid unmittelbar nach dem Prozeß, insbesondere naßchemisch mit gepufferter Flußsäure entfernt wird.
5. Verfahren nach einem oder mehreren der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das während des Vorbelegungsprozesses entstandene Vorbelegungsoxid unmittelbar nach dem Prozeß nicht entfernt und mittels schneller thermischer Ausheilung (RTA) das Dotierniveau erhöht wird.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß das RTA bei einer Temperatur zwischen 900°C und 1100°C und Prozeßzeiten zwischen 10 s und 120 s durchgeführt wird.
7. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der BBr_3 -Vorbelegungsprozeß selbstjustiert zum inneren Transistorgebiet ausgeführt wird.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß während des BBr_3 -Vorbelegungsprozesses das innere Transistorgebiet durch eine Siliziumnitridschicht oder eine Siliziumoxynitridschicht abgedeckt ist, deren laterale Abmaße mit den bekannten Metho-

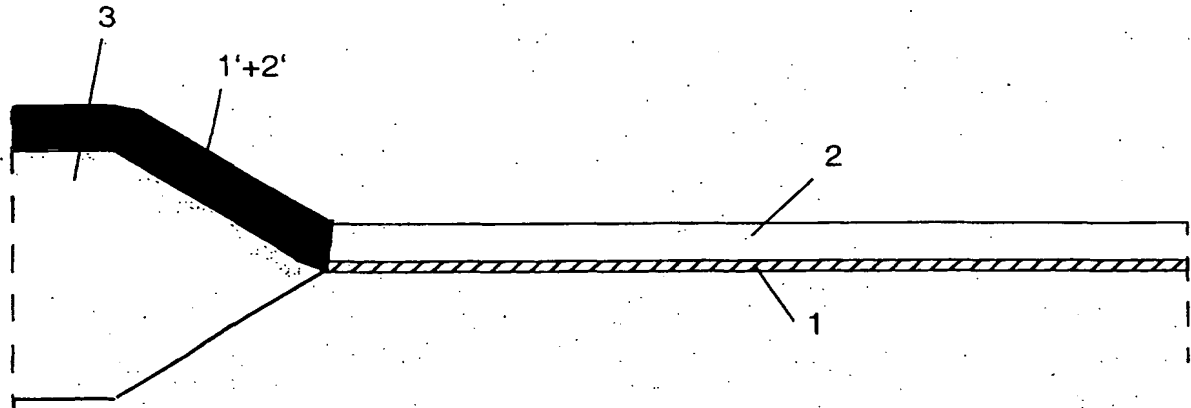


Fig. 1a

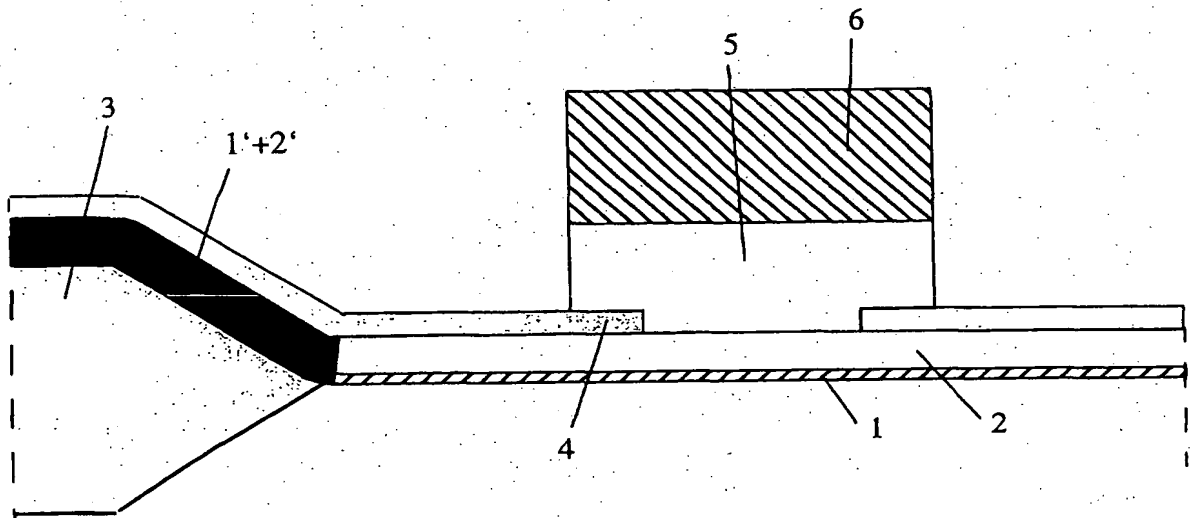


Fig. 1b